

# Application Note



## LCD Core - Funkční vzorek řadiče LCD displeje

Jiří Kadlec, Leoš Kafka, Jiří Svozil

[kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz)

### Obsah

1. Úvod.....	2
2. Popis systému.....	2
3. Použité/Potřebné vybavení a nástroje .....	4
4. Parametry lcd_core modulu .....	4
5. Funkční vzorek dvouřádkového LCD zobrazovače na desce S3E1600 .....	5
6. Poděkování .....	7
7. LCD_CORE demo.....	8
8. Licensing and availability (anglicky) .....	8
9. Disclaimer (anglicky).....	8
10. Reference.....	9

### Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	10.12.2007	Jiří Svozil	Vytvoření dokumentu
1	10.2.2008	Jiří Svozil	Revize dokumentu
2	12.12.2009	Jiří Kadlec	Verze pro ISE 11.3 s popisem příkladů
3	31.12.2010	Jiří Kadlec	Verze pro ISE 12.4 s popisem příkladu
4	29.07.2011	Jiří Kadlec	Verze pro ISE 13.2 s popisem příkladu

## 1. Úvod

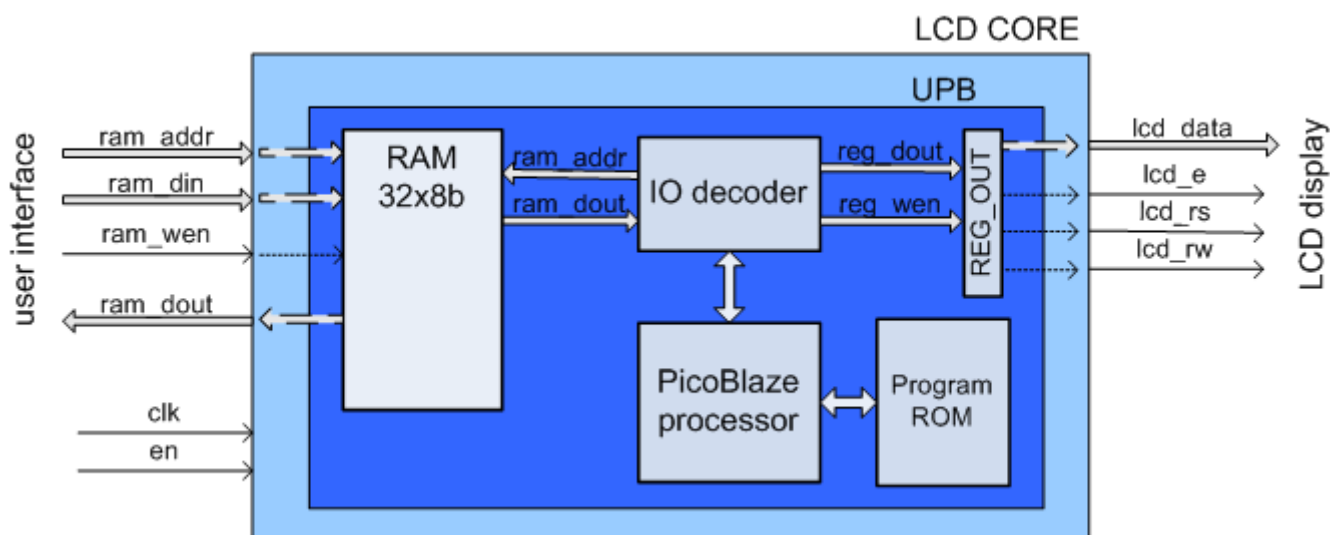
Tento dokument popisuje funkční vzorek HW modulu řadiče znakového LCD displeje. HW modul vznikl v rámci projektu VLAM. Jádru řadiče je založeno na UPB (Universal PicoBlaze Wrapper), jehož autorem je Ing. Leoš Kafka. UPB je konfigurovatelný wrapper procesoru PicoBlaze [1]. UPB byl také vytvořen v rámci projektu VLAM.

Modul řadiče je vytvořen tak, aby uživateli umožnil práci s LCD displejem na vyšší úrovni, tzn. i bez znalostí hardwaru LCD displeje. Uživatel pak může tento modul použít ve složitějších systémech, kde tento modul pouze připojí a nemusí se zabývat samotným procesem řízení LCD displeje. Řadič je nakonfigurován pro standardní 32 znakový displej HD44780 [4], jaký je například na přípravku Xilinx S3E1600 [2]. Jeho úprava na jiný typ displeje je velmi snadná díky univerzálnosti UPB.

Testovací příklad vychází z příkladu [6a], jehož autorem je Ken Chapman.

## 2. Popis systému

Univerzální řadič displeje je založen na konfigurovatelném wrapperu UPB, který je v tomto případě obsahuje vstupní paměť RAM o velikosti 32x8 bitů a výstupní registr o velikosti 8 bitů. Blokové schéma znázorňuje **Chyba! Nenalezen zdroj odkazů..**



Obrázek 1 Blokové schéma modulu LCD řadiče

Paměť RAM reprezentuje data, která mají být zobrazena na LCD displeji. Každá adresa paměti přísluší jednomu znaku LCD displeje. Systém mapování paměti RAM na jednotlivé znaky LCD displeje (2x16 znaků) znázorňuje Tabulka 1. Paměť RAM je připojena na IO porty modulu LCD\_CORE; uživatel může do paměti zapisovat i z ní číst. Procesor PicoBlaze periodicky vyčítá hodnoty z paměti RAM a porovnává je s hodnotami aktuálně zobrazovanými. Pokud se data zobrazovaná liší od požadovaných, provede jejich aktualizaci (tj. přepis v paměti displeje).

Tabulka 1 - Systém zobrazení obsahu RAM na LCD displej

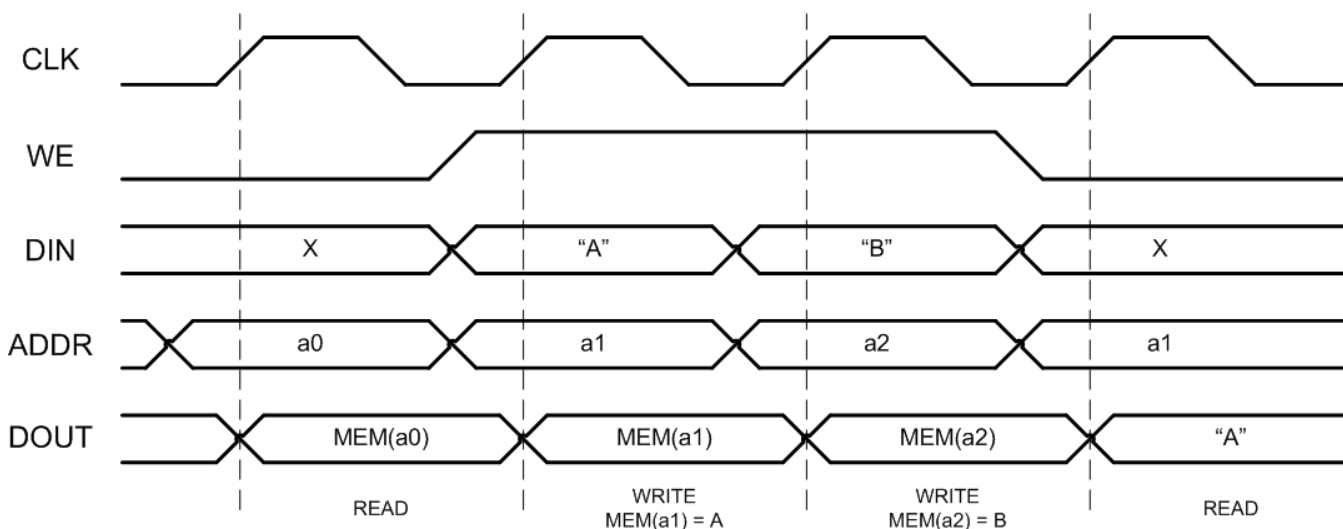
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	00h	01h	02h	03h	04h	05h	06h	07h	08h	09h	0Ah	0Bh	0Ch	0Dh	0Eh	0Fh
2	10h	11h	12h	13h	14h	15h	16h	17h	18h	19h	1Ah	1Bh	1Ch	1Dh	1Eh	1Fh

Dalšími vstupními porty jsou hodinový vstup *clk* a vstup pro aktivování modulu *en*. Výstupní porty pro LCD displej jsou *lcd\_data*, *lcd\_e*, *lcd\_rs*, *lcd\_rw*. Seznam portů i s popisem zobrazuje **Chyba! Nenalezen zdroj odkazů.**

Tabulka 2 - Přehled portů modulu LCD\_CORE Core

Port	Vstup/Výstup	Šířka [bit]	Význam
clk	Vstup	1	Hodinový signál
en	Vstup	1	Povolení funkce modulu (aktivní v log.1)
ram_addr	Vstup	5	Adresa paměti RAM
ram_din	Vstup	8	Vstupní data paměti RAM
ram_wen	Výstup	1	Povolení zápisu RAM
ram_dout	Výstup	8	Výstupní data RAM
lcd_data	Výstup	4	Data pro LCD displej
lcd_e	Výstup	1	LCD enable
lcd_rs	Výstup	1	LCD reset
lcd_rw	Výstup	1	LCD Read/Write

Paměť RAM je řízena pomocí signálů *clk* (hodinového signálu), *ram\_addr* (adresa pro zápis nebo čtení) a *ram\_wen* (povolení zápisu). Datové signály jsou *ram\_din* (vstupní data) a *ram\_dout* (výstupní data). Signál *en* musí být při práci s pamětí v log. 1. Časové průběhy zápisu a čtení paměti znázorňuje Obrázek 2. Pro bližší popis paměti RAM viz [6].



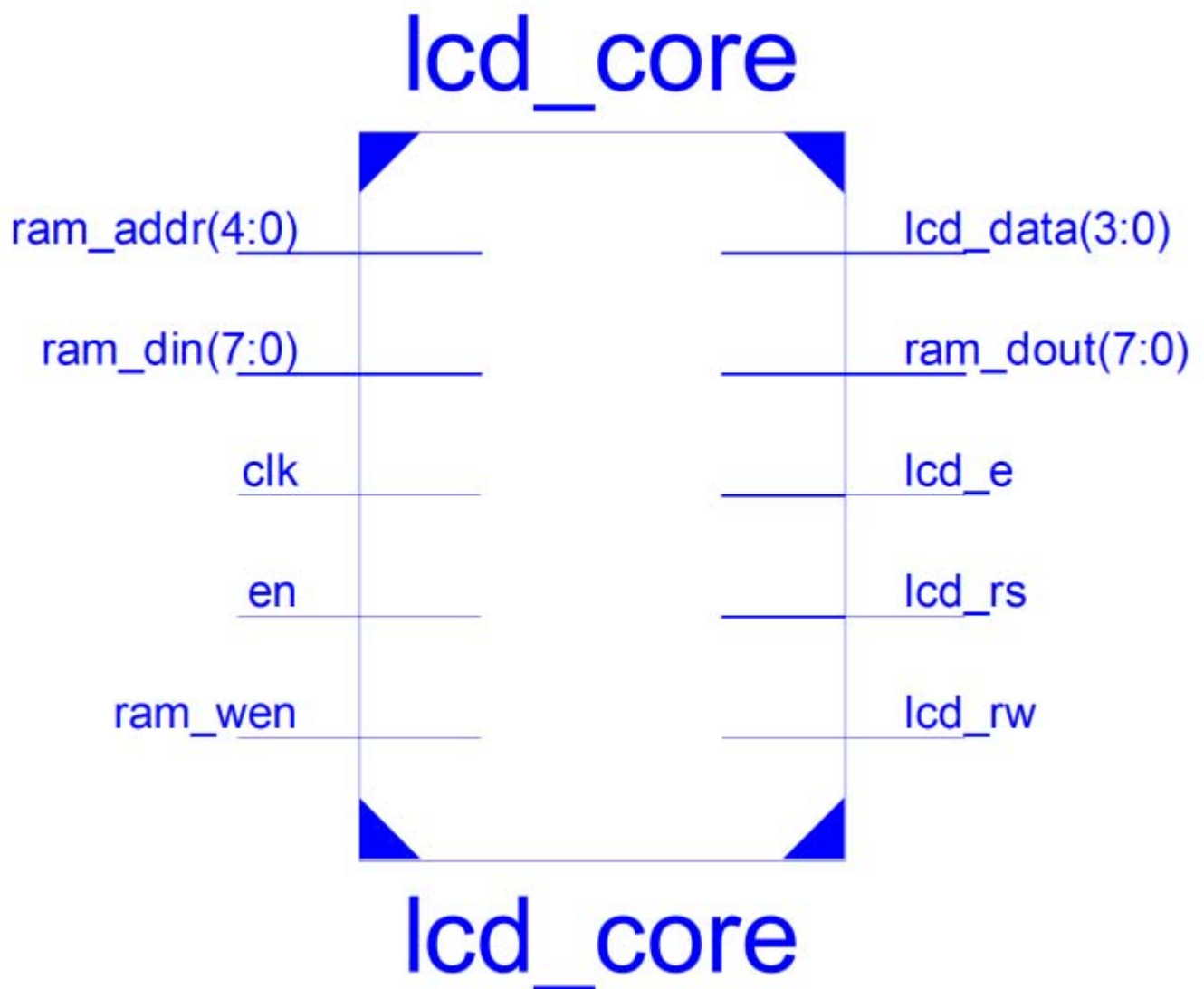
Obrázek 2 Časové průběhy pro zápis a čtení paměti RAM

### 3. Použité/Potřebné vybavení a nástroje

Modul LCD displeje byl napsán v programovacím jazyce VHDL ve vývojovém prostředí Xilinx ISE 13.2 [3]. Program procesoru PicoBlaze byl napsán v assembleru a k překladu byl použit assembler *KCPSM3.exe*, který je součástí balíčku procesoru PicoBlaze [1]. Testovací příklad byl vytvořen na vývojovém kitu Xilinx S3E1600 [2] a byl otestován i na dalších přípravcích, viz příložené CD.

### 4. Parametry *lcd\_core* modulu

Vstupy a výstupy funkčního vzorku *lcd\_core* jsou zobrazeny na Obr. 3.



Obrázek 3 *lcd\_core* v ISE 13.2

Velikost *lcd\_core* modulu uvádí tabulka 3:

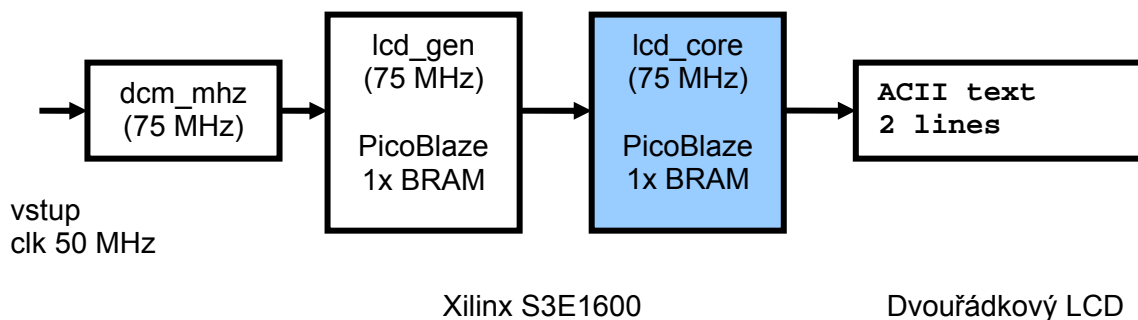
**Tabulka 3 - Velikost lcd\_core modulu**

Number of Slices	128
Number of Slice Flip Flops	103
Number of 4 input LUTs	249
Number of BRAMs	1

## 5. Funkční vzorek dvouřádkového LCD zobrazovače na desce S3E1600

Příklad vypisuje na dvouřádkovém LCD zobrazovači sadu několika textů. Vstupem je pouze vnější hodinový signál 50 MHz.

Výstupy ovládají LCD zobrazovač a současně nastavují paralelní strataflash do režimu který nevyužívá sběrnici lcd\_data(3:0), která je sdílená jak strataflash i LCD zobrazovačem. Koncept implementace je patrný z obrázku 4.



**Obrázek 4: Blokové schéma funkčního vzorku s LCD\_CORE**

Modul dcm\_mhz generuje interní hodinový signál 75 MHz. Velikost a proudový odběr implementovaného demonstrátoru funkčního vzorku v ISE 13.2 je uvedena v tabulce 4.

**Tabulka 4 –Velikost a odběr celého HW demonstrující LCD\_CORE**

	XC3S1600E-4
	top_3s1600e
Number of Slices	422
Number of Slice Flip Flop	368
Number of 4 input LUTs	701
Number of BRAMs	3
VCCINT 1,2V (FPGA)	50mA
Odběr na 5,0V zdroji	500mA

Vstupy a výstupy funkčního vzorku dvouřádkového LCD zobrazovače na S3E1600 uvádí tabulka 5.

**Tabulka 5 – Vstupy a výstupy funkčního vzorku LCD\_CORE na desce S3E1600**

	<pre> NET clk PERIOD = 20.0ns HIGH 50%; NET clk LOC = C9   IOSTANDARD = LVCMOS33;  NET lcd_rs LOC=L18   IOSTANDARD = LVCMOS33; NET lcd_rw LOC=L17   IOSTANDARD = LVCMOS33; NET lcd_e LOC=M18   PULLDOWN   IOSTANDARD = LVCMOS33;  NET lcd_data&lt;0&gt; LOC=M16   IOSTANDARD = LVCMOS33; NET lcd_data&lt;1&gt; LOC=P6   IOSTANDARD = LVCMOS33; NET lcd_data&lt;2&gt; LOC=R8   IOSTANDARD = LVCMOS33; NET lcd_data&lt;3&gt; LOC=T8   IOSTANDARD = LVCMOS33;  NET sf_d_12 LOC=R15   IOSTANDARD = LVCMOS33; NET sf_d_13 LOC=R16   IOSTANDARD = LVCMOS33; NET sf_d_14 LOC=P17   IOSTANDARD = LVCMOS33; NET sf_d_15 LOC=M15   IOSTANDARD = LVCMOS33;  NET LCD_RET LOC=E3   IOSTANDARD = SSTL2_I ; NET LCD_CS1 LOC=P3   IOSTANDARD = SSTL2_I ; NET LCD_CS2 LOC=P4   IOSTANDARD = SSTL2_I ;  NET strataflash_oe LOC = C18   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 2; NET strataflash_ce LOC = D16   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 2; NET strataflash_we LOC = D17   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 2; </pre>
--	--

Funkční vzorek modulu řadiče dvouřádkového LCD zobrazovače na desce S3E1600 je zobrazen na obr. 5.



Obrázek 5: Funkční vzorek modulu řadiče dvouřádkového LCD zobrazovače na desce S3E1600

## 6. Poděkování

Návrh a realizace tohoto funkčního vzorku byla podpořena projektem ministerstva školství a tělovýchovy číslo 2C06008, <http://www.vlam.cz>.

## 7. LCD\_CORE demo

S3E1600\ impl\ lcd_core\ lcd_core.ngc	Modul řadiče dvouřádkového LCD zobrazovače pro desku S3E1600 na 75 MHz.
lcd_gen\ lcd_gen.ngc	Modul generuje text pro lcd_core
dcm_mhz\ dcm_mhz.ngc	Modul generující hodinový signál 75 MHz
top_3s1600e\ ...	Projekt pro překlad funkčního vzorku pomocí Xilinx ISE 13.2
top_3s1600e_bit\ top_3s1600e_mcf\ src\ ucf\ top_3s1600e.ucf	Konfigurační data funkčního vzorku Konfigurační data pro platform flash
vhdl\ top_3s1600e.vhd	Definice vstupů a výstupů pro 3s1600e  Zdrojový kód ve VHDL (top level)

## 8. Licensing and availability (anglicky)

This functional sample is provided in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 [2]. If you plan to use this functional sample netlist for education purposes, you can contact UTIA AV CR, v.v.i. for support. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

If you consider commercial use of this functional sample in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 FPGAs or if you need the source code of this functional sample, please contact UTIA AV CR v.v.i. Commercial End User License Agreement (Commercial EULA) between you and UTIA AV CR, v.v.i. needs to be signed. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

## 9. Disclaimer (anglicky)

This disclaimer is not a license and does not grant any rights to the materials distributed herewith. Except as otherwise provided in a valid license issued to you by UTIA AV CR v.v.i., and to the maximum extent permitted by applicable law:

- (1) THIS APPLICATION NOTE AND RELATED MATERIALS LISTED IN THE PACKAGE CONTENT ARE MADE AVAILABLE "AS IS" AND WITH ALL FAULTS, AND UTIA AV CR V.V.I. HEREBY DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and
- (2) UTIA AV CR v.v.i. shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under or in connection with these materials, including for any direct, or any indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or UTIA AV CR v.v.i. had been advised of the possibility of the same.



## Critical Applications:

UTIA AV CR v.v.i. products are not designed or intended to be fail-safe, or for use in any application requiring fail-safe performance, such as life-support or safety devices or systems, Class III medical devices, nuclear facilities, applications related to the deployment of airbags, or any other applications that could lead to death, personal injury, or severe property or environmental damage (individually and collectively, "Critical Applications"). Customer assumes the sole risk and liability of any use of UTIA AV CR v.v.i. products in Critical Applications, subject only to applicable laws and regulations governing limitations on product liability.

## 10. Reference

- [1] PicoBlaze 8-bit Embedded Processor UG129 June 22, 2011  
[http://www.xilinx.com/support/documentation/ip\\_documentation/ug129.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf)
- [2] MicroBlaze Development Kit Spartan-3E 1600E Edition User Guide UG257 (v1.1) December 5, 2007  
[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug257.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf)
- [3] Xilinx ISE 13.2, <http://www.xilinx.com/>
- [4] řadič HD44780 <http://www.datasheetarchive.com/HD44780-datasheet.html>
- [5] Spartan3 datasheet [http://www.xilinx.com/support/documentation/data\\_sheets/ds099.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf)
- [6] Xilinx Spartan-3E FPGA Starter Kit Board Design Examples  
[http://www.xilinx.com/products/boards/s3estarter/reference\\_designs.htm](http://www.xilinx.com/products/boards/s3estarter/reference_designs.htm)
- [6a] Ken Chapman, Initial Design for Spartan-3E Starter Kit (LCD Display Control), ISE 8.1i, Xilinx Ltd 16th, February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_startup.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf)
- [6b] Ken Chapman, Rotary Encoder Interface for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 20th February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_rotary\\_encoder\\_interface.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_rotary_encoder_interface.pdf)
- [6c] Ken Chapman, Amplifier and A/D Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 23rd February 2006  
[www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_amplifier\\_and\\_adc\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_amplifier_and_adc_control.pdf)
- [6d] Ken Chapman, D/A Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 21st February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_dac\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_dac_control.pdf)
- [6e] Ken Chapman, NOR FLASH Programmer for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_nor\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_nor_flash_programmer.pdf)
- [6f] Ken Chapman, SPI FLASH Programmer for Spartan-3E Starter Kit, ISE 7.1i, Xilinx Ltd, November 2004  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_spi\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_spi_flash_programmer.pdf)
- [6g] Ken Chapman, Frequency Generator for Spartan-3E Starter Kit, ISE 8.2i, Xilinx Ltd, 18th July 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_generator.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_generator.pdf)
- [6h] Ken Chapman, Frequency Counter for Spartan-3E Starter Kit (with test oscillators), ISE 8.1i, Xilinx Ltd, 7th March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_counter.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_counter.pdf)
- [6i] Ken Chapman, Software Implementation of Pulse Width Modulation (PWM). A reference design using the Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 24th May 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_pwm\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_pwm_control.pdf)